

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-234505

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2003-020946

(71)Applicant : OSRAM OPTO
SEMICONDUCTORS GMBH

(22)Date of filing :

29.01.2003

(72)Inventor : BRUDERL GEORG
BAUR JOHANNES

(30)Priority

Priority number : 2002 10203801

Priority date : 31.01.2002

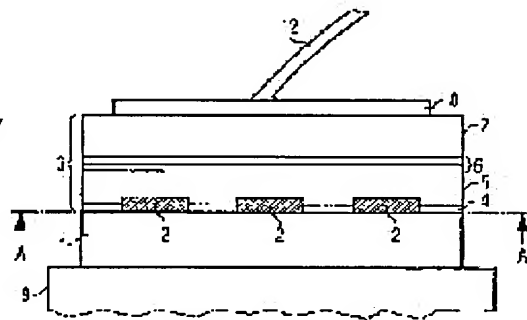
Priority country : DE

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To develop a semiconductor device that is equipped with a transition section having an electric series resistance as small as possible between a semiconductor body and a substrate.

SOLUTION: In the semiconductor device, a conductive substrate (1) and a semiconductor body (3) are provided, and the semiconductor body (3) has at least one nitride-compound semiconductor and at the same time is arranged on the surface of the substrate (1). In this case, a conductive mask layer (2) having a specific mask structure for reducing the series resistance in the semiconductor device is arranged between the substrate (1) and the semiconductor body (3), and the surface of the substrate (1) is partially covered with the mask layer.



LEGAL STATUS

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection] 22.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

特開2003-234505
(P2003-234505A)

(43) 公開日 平成15年8月22日 (2003.8.22)

(51) Int. Cl. ⁷	F I	特許庁 (参考)
H 01 L 33/00	H 01 L 33/00	E 5 F 0 4 1 C

審査請求 有 請求項の数22 OL (全 7 頁)

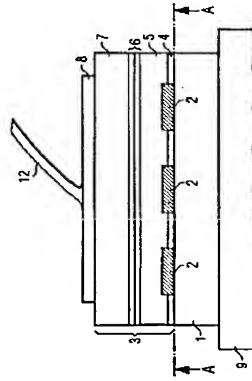
(21) 出願番号	特開2003-20948 (P2003-20948)	(71) 出願人	599133716 オスラム オプト セミコンダクターズ グゼルシャフト ミット ベジューレング ル ハフツング Ostam Opto Semikond uctors GmbH ドイツ連邦共和国 レーゲンズブルグ ヴ エルナーヴエルクシュラーゼ 2 100681815 (74) 代理人 弁理士 矢野 敏雄 (外4名)
(22) 出願日	平成15年1月28日 (2003.1.29)		
(31) 優先権主張番号	1 0 2 0 3 8 0 1 . 5		
(32) 優先日	平成14年1月31日 (2002.1.31)		
(33) 優先権主張国	ドイツ (DE)		

(54) 【発明の名称】 半導体デバイス及びその製造方法

(57) 【要約】

【課題】 半導体デバイスと基板との間の可能な限り低かな電気直列抵抗を有する移行部を備えた半導体デバイスを開発すること。

【解決手段】 導電性基板 (1) と、半導体デバイス (3) とを備え、前記の半導体デバイス (3) は少なくとも1つの変化物-化合物半導体を有し、かつ前記の半導体デバイス (3) は基板 (1) の表面上に配置されている半導体デバイスにおいて、基板 (1) と半導体デバイス (3) との間に、半導体デバイスの直列抵抗を減少させるための所定のマスク構造を有する導電性のマスク層 (2) が配置されており、このマスク層 (2) は基板 (1) の表面を部分的に覆っていることを特徴とする、半導体デバイス。



の層 (5)、活性区域 (6) 及び AlGaInGa_{0.5} InGa_{0.5} N 又は AlInGa_{0.5} N を有する p 型導電性の層 (7) を有する。請求項 1 から 12 までのいずれか 1 項記載の半導体デバイス。

【請求項 14】 活性区域 (6) は InGa_{0.5} N を有する。請求項 13 記載の半導体デバイス。

【請求項 15】 基板 (1) と、半導体デバイス (3) とを備え、前記の半導体デバイス (3) は変化物-化合物半導体を有し、かつ前記の半導体デバイス (3) は基板 (1) の表面上に配置されている半導体デバイスの製造方法において、

a) 基板 (1) を準備する工程、
b) 導電性マスク層 (2) を基板表面上に配置し、基板表面がマスク層 (2) により部分的に覆われるように所定のマスク構造を形成させる工程、及び
c) 半導体デバイスの少なくとも 1 つの半導体層 (4、5) を設置する工程

を特徴とする、半導体デバイスの製造方法。

【請求項 16】 工程 c) において、半導体層 (4、5) をエピタキシャル成長させ、成長の開始時に半導体層 (4、5) を主にマスク層 (2) により被覆されていない領域で成長させる。請求項 15 記載の方法。

【請求項 17】 半導体層 (4、5) の成長の間に、マスク層 (2) がラテラル方向に覆われる。請求項 16 記載の方法。

【請求項 18】 工程 c) の後に半導体層 (4、5) は閉じた表面 (10) を有する。請求項 17 記載の方法。

【請求項 19】 工程 c) において、マスク層 (2) は少なくとも部分的に半導体層 (4、5) により覆われている。請求項 17 又は 18 記載の方法。

【請求項 20】 工程 c) において、開始時に、緩衝層 (4) をマスク層 (2) で覆われていない領域で成長させる。請求項 15 から 19 までのいずれか 1 項記載の方法。

【請求項 21】 緩衝層 (4) を、低めた温度で、特に 950℃ 以下の温度で成長させる。請求項 20 記載の方法。

【請求項 22】 緩衝層 (4) は AlIn_{0.5} N 又は AlGa_{0.5} N を有する。請求項 20 又は 21 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、請求項 1 の上位概念に記載の半導体デバイス並びに請求項 15 の上位概念に記載の半導体デバイスの製造方法に関する。

【0002】

【従来の技術】 この種の半導体デバイスは、基板と、変化物-化合物半導体を有する半導体デバイスとを有し、この半導体デバイスは基板の表面上に配置されている。コンタクトの配置に関して、垂直に導電する構造が有向であり、この場合、動作電流は半導体デバイス及び基板を通過

して流れる。このために、特に導電性の基板が必要となる。この構造の場合には、コンタクトは隣接した半導体ボディの主面と、基板の、前記の主面と反対側の主面とに配置され、半導体ボディを通過する均一の電流の流れが生じる。

【0003】窒化物-化合物半導体、たとえばGa₂N、AlGa₂N、InGa₂N又はAl_{1-x}In_xGaNをベースとする半導体ボディに対しては、しばしば導電性のSi₂C₂基板が使用され、この基板上に半導体ボディの構築のために複数の半導体層をエピタキシャル成長させる。

【0004】エビタキシーのために、エビタキシー基板とこの基板上に成長させる半導体層との格子定数を整合させる必要がある。Si₂C₂基板の場合には、このために窒化物-化合物半導体層を基板上に成長させる前に、まず緩衝層を配置することができ、この緩衝層は、整合された格子定数の他に、Si₂C₂基板の良好な附着力を有する。緩衝層のための材料は、特にAlGa₂Nである。

もちろん、AlGa₂N緩衝層を基板表面上に成長させる際に、高いAl含有量を有するAlGa₂N層もしくはAl_{1-x}In_xGaN層が形成され、これは高い電気抵抗を有するか又はそれどころか絶縁性である。このことはたとえBP、Vennegues, H. Lebreche, Applied Physics Letters, Vol. 77, No. 26, pp. 4310-4312から公知である。それに

より垂直方向の導電性の構造体の電気抵抗は著しく高められよう。

【0005】また、緩衝層としてGa₂N緩衝層も使用できるが、炭化ケイ素との格子整合が比較的に悪いため基板表面付近での欠陥の多い、僅かな導電性の層が形成される。

【0006】このような緩衝層により得られた順かな導電性のために、対応する半導体ボディは高い直列抵抗もしくは高い順方向電圧を有し、それによりこのボディの効率は低下する。さらに、緩衝層の導電性が低下すると共に、生じる損失熱によりデバイスが損傷する危険性が向上する。

【0007】

【非特許文献1】P. Vennegues, H. Lebreche, Appl. Phys. Letters, Vol. 77, No. 26, pp. 4310-4312

2

【0008】

【発明が解決しようとする課題】本発明の課題は、半導体ボディと基板との間の改善された移行部を有する貫通した種類の半導体ボディを開発することであつた。特に、このような半導体ボディは可能な限り僅かな電気直列抵抗を有するのが好ましい。さらに、本発明の課題はこのような半導体ボディの製造方法を提供することであつた。

【0009】

【課題を解決するための手段】前記の課題は請求項1記載の半導体デバイス並びに請求項15記載の方法により

解決される。本発明の有利な実施態様は引用形式請求項の対象である。

【0010】本発明の場合には、導電性の基板と、少なくとも1つの窒化物-化合物半導体を有する半導体ボディとを備え、前記半導体ボディは基板表面上に配置されている半導体ボディが形成され、この場合、半導体ボディと基板との間に所定のマスク構造を有する導電性のマスク層が配置されており、このマスク層は基板表面の一部に覆われている。有利に半導体ボディは、基板の半導体ボディとは反対側と、半導体ボディとで、電気的に接続可能である。

【0011】この場合には、デバイスの製造の際に半導体層をまず、基板のマスク層で覆われていない領域に成長させ、引き続きこの半導体層をマスク層の上にラテラル方向に成長させて一体的な半導体層を生成させるといふ基本思想に基づき、この場合、有利に基板のマスク層で覆われていない領域では、導電性でない層も、たとえ格子整合のために配置することができ、それというも導電性マスク層は僅かな導電性を有する。そのような層に備けけるためである。

【0012】半導体ボディもしくは半導体ボディの1つ又は複数の半導体層が、マスク層の向かう側で、マスク層を少なくとも部分的に包み込むように構成するものがある。基板と半導体ボディとの間にマスク層を埋め込むことは、直列抵抗をさらに減少させ、かつ半導体ボディの動作電流を均一に分配する。

【0013】導電性基板は本発明の場合にSi₂C₂基板であるのが有利である。マスク層としては、たとえば金属層又は導電性金属化合物層が基板上に配置されてもよい。この金属層は所定のマスク構造を、たとえば複数の平行又は格子状に配置された導電性のストライプの形のマスク構造を有する。格子状の構造は、半導体ボディ内での特に均一な電流分配の利点を有する。ストライプ状の構造の場合には、マスク層で覆われていない部分はラテラルにさらに拡張し、僅かな数の界面に基づきマスク層を覆う一体的な半導体層の構築が容易となる。

【0014】本発明の有利な実施態様の場合には、基板表面上でのマスク層で覆われていない領域内に緩衝層が形成される。この緩衝層は半導体ボディの後続する層と基板との間の格子整合のために用いられ、エビタキシーの際の半導体ボディと基板との間の有利に欠陥のない移行を可能にする。本発明の場合には、この緩衝層は格子整合に関連して最速に構成することができ、特に導電性が悪いか又は導電性でなくともよい、それというのでも緩衝層の場合により僅かな導電性は、導電性のマスク層によって補償されるためである。

【0015】本発明は、特に窒化物-化合物半導体ベースとする放射線を発する半導体デバイス、たとえば発光ダイオード(LED)又はレーザダイオードに適している。有利に、これらのデバイスにはn型導電層、たと

符号が付与されている。

【0023】

【実施例】図1に示された半導体デバイスは、複数の半導体層4、5、6及び7を有する半導体ボディ3を有し、この半導体ボディ3は基板1上に配置されている。

基板として導電性のSi₂C₂基板が使用される。これらの半導体層は、Ga₂Nをベースとし、かつ、部分的な化合物、たとえばGa₂N、AlGa₂N、InGa₂N、In_{1-x}Al_xGaN、Al_{1-x}In_xGaN、In_{1-x}Al_xGaN、In_{1-x}Al_xGaNを有する。放射線を発する半導体構造体を形成する。たとえば層6は活性の、放射線を発するInGa₂N層であるか又は放射線

性を発する構造体、たとえば単一量子井構造又は複数のInGa₂N層を備えた多重量子井構造を有する。

【0024】放射線を発する層6は、基板に向かう側でn型導電層、たとえばIn_{1-x}Al_xGaN層5により、その反対側ではp型導電層7、たとえばp-In_{1-x}Al_xGaN層により挟まれている。

【0025】エビタキシー法を用いてこのような構造体の製造のために、Si₂C₂基板が適しており、この場合、格子定数の整合のためにはSi₂C₂基板上に緩衝層を形成させるのが有利である。このために、図示された実施例の場合には、格子状の、導電性のマスク層2を基板上に配置し、この層は半導体ボディ3により覆われ、埋め込まれる。基板に接する緩衝層4、たとえばAlGa₂N層は、マスク層で覆われていない緩衝層の基板上に成長させる。この緩衝層4上に引き続き前記された半導体層5、6及び7を配置し、この場合に緩衝層4はマスク層2よりも薄い。

【0026】この構造は、導電性マスク層が、基板と半導体ボディ3の電流供給する層との間に高い導電性を有する電気的結合を作り出すという利点を有する。従って、緩衝層4自体は格子整合に関するして最適化することができ、この場合には従って、高いAl含有量、基板表面上のAl_{1-x}In_x層の形成又は欠陥の多い層の形成に基づき場により生じる導電性の低下は、基板1と半導体ボディ3との間の電流運搬に著しい悪影響を及ぼさない。

【0027】マスク層2として、たとえばニッケル、モリブデン及び/又はアルミニウムを含有する相応して最適化された金属層を用いることができる。一般に、マスク層2のための材料として、できる限り僅かな仕事関数を有する金属、有利に基板、たとえば記載された実施例においてSi₂C₂基板の仕事関数よりも小さい仕事関数を有する金属が有利である。

【0028】さらに、マスク層2について、800°C以上の高い融点を有する材料、特に金属が適している。純粋な金属の他に、このマスク層2は金属合金又は金属化合物、特に金属酸化物、たとえば酸化インジウム、酸化スズ、酸化亜鉛又はITO(インジウム-スズ酸化物)を含有することもできる。

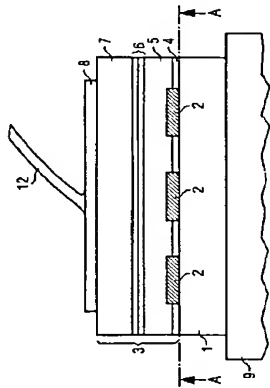
【0029】接触のために、このデバイスは、適当な金属を有する材料、特に金属が適している。純粋な金属の他に、このマスク層2は金属合金又は金属化合物、特に金属酸化物、たとえば酸化インジウム、酸化スズ、酸化亜鉛又はITO(インジウム-スズ酸化物)を含有することもできる。

【0029】接触のために、このデバイスは、適当な金属を有する材料、特に金属が適している。純粋な金属の他に、このマスク層2は金属合金又は金属化合物、特に金属酸化物、たとえば酸化インジウム、酸化スズ、酸化亜鉛又はITO(インジウム-スズ酸化物)を含有することもできる。

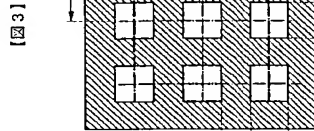
(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

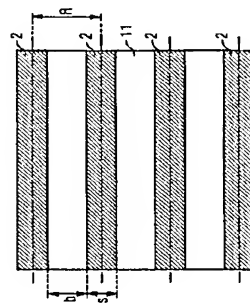
【図1】



【図2】



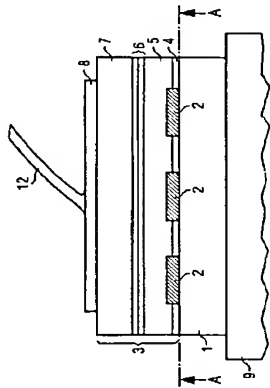
【図3】



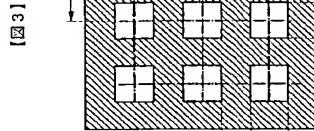
(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

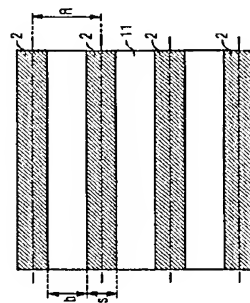
【図1】



【図2】



【図3】



(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

【図1】



【図2】



【図3】



持体9上に固定され、この支持体9は導電性であるか又は基板1のウエハディング側で対応する導電性の構造を有する。この支持体9とは反対側で、半導体ポディ3にはコンタクト面8が設けられており、このコンタクト面8にたとえワイヤボンディング12が接続することができ、

【0030】図2a~2eには、本発明による製造方法の実施例が、5つの中間工程を用いて図式的に示されている。

【0031】第1の段階、図2aでは、基板1、たとえはSiC基板上に、導電性の一貫した層2aが設置されており、この層から次にマスク層を形成する。この層はニッケル層であるか又はすでに前記した他の金属又は金属化合物からなる層であることができる。金属層の厚厚は有利に10nm~100nmである。

【0032】この層2aの設置のために、慣用のスパッタ法又は蒸着法が適用されている。

【0033】次の工程、図2bでは、工程2aがたとえはフォトリソグラフィ法を用いて構造化され、基板1上に開口11を備えたマスク層2が形成される。この場合、開口11の範囲内で基板1の表面が露出する。

【0034】第3の工程、図2cでは、半導体ポディ3は半導体ポディの少なくとも1つの半導体層5が設置される。この層5は基板1上に直接エピタキシャル成長されるか又は最速には予めエピタキシャル成長させた層4層上に成長させる。この層5及び場合により後層4層は、この場合、基板1の、マスク層2により覆われずに覆われない。

【0035】両方の場合、窒化物ベースの半導体材料、たとえばAlGaInを基板上に設置するのが有利である。このような半導体層5のエピタキシャル成長の場合、基板1上に絶縁性のAlN皮膜が形成することができ、格子定数の整合のための緩衝層4の設置は、一般にAlN含有量の高い層の堆積を必要とし、この層は同様に僅かな導電性を有する。先行技術によるデバイスの場合では従ってデバイスの直列抵抗が著しい昇降を伴うことになる。しかしながら、本発明の場合には直列抵抗のこのようないずれもマスク層2の導電性により補償される。それといずれもマスク層2は半導体ポディと基板との間の導電性の悪い層に橋かけするためである。

【0036】マスク層2の厚さを上回るように半導体層5をさらに成長させる場合に、この半導体層5は比較的高いラテラル方向の成長速度に基づき、ラテラル方向に並大し、マスク層2はこの半導体層5により覆われ(図2d)、最終的に半導体層5内に完全に埋め込まれる。エピタキシャル層はマスク層2を覆う領域でも良好な結晶品質を有し、かつ特に低い欠陥密度を有する。この種の接合プロセスは、ELOG法(Epitaxial Lateral Over Growth)として公知でもある。この半導体層5の成長

【図1】



【図2】



【図3】



(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

【図1】



【図2】



【図3】



(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

【図1】



【図2】



【図3】



(6) 図式的な断面図

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ダホルク ブリュデル
ドイツ連邦共和国 ブルクレンザンフエル
ト アカツイエンダエーク 19

(72)発明者 ヨハネス バウル
ドイツ連邦共和国 ドイエルリング アム
ハスラッハ 9
Fターム(参考) 5F041 A003 AA24 CA33 CA40 CA83
CA93